

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135358

(43) 公開日 平成10年(1998) 5月22日

(51) IntCl⁴

H01L 21/8247
29/788
29/792
27/115

識別記号

F I

H01L 29/78
27/10

371
434

審査請求 未請求 請求項の数3 OL (全4頁)

(21) 出願番号 特願平8-290341

(22) 出願日 平成8年(1996)10月31日

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72) 発明者 形見 和彦

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

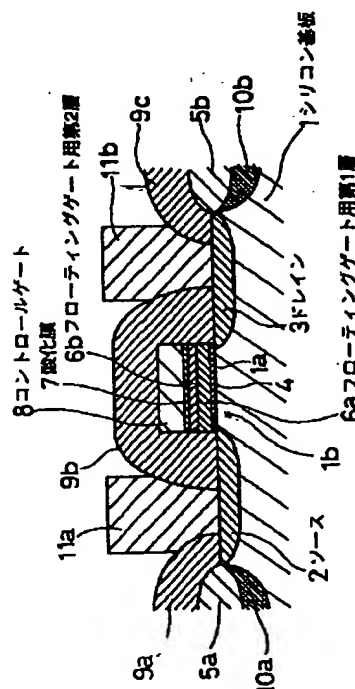
(74) 代理人 弁理士 岡田 英彦 (外3名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 フローティングゲート、絶縁膜及びコントロールゲートを順次積層したゲート構造を有する半導体装置において、絶縁膜の絶縁性を改善すること。

【解決手段】 ①フローティングゲート6a、6b、絶縁膜7及びコントロールゲート8を順次積層した構造を有する半導体装置の製造方法において、不純物がドーパされた多結晶シリコン層からなる前記フローティングゲート用第1層6aを形成する工程と、不純物を実質的にドーパしていない多結晶シリコン層からなる前記フローティングゲート用第2層6bを前記第1層6a上に形成する工程と、前記第2層6bの上面側部分を酸化して絶縁膜7を形成する工程とを含むこと。②更に、前記フローティングゲート用第1層6aの形成と前記フローティングゲート用第2層6bの形成とを連続しておこなうこと。



【特許請求の範囲】

【請求項1】 フローティングゲート、絶縁膜及びコントロールゲートを順次積層した構造を有する半導体装置の製造方法において、不純物がドーパされた多結晶シリコン層からなる前記フローティングゲート用第1層を形成する工程と、不純物を実質的にドーパしていない多結晶シリコン層からなる前記フローティングゲート用第2層を前記第1層上に形成する工程と、前記第2層の上面側部分を酸化して前記絶縁膜を形成する工程とを含む半導体装置の製造方法。

【請求項2】 前記フローティングゲート用第1層の形成と前記フローティングゲート用第2層の形成とを連続しておこなうことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 フローティングゲート、絶縁膜及びコントロールゲートを順次積層した構造を有する半導体装置において、前記フローティングゲートが、不純物をドーパした多結晶シリコン層からなる第1層と、該第1層上に形成された、不純物を実質的にドーパしていない第2層とを具備していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、フローティングゲートとコントロールゲートとの間の絶縁膜を改善することができる半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】不揮発性メモリを有するEEPROM (Electrically Erasable Programmable Read Only Memory) の製造方法に関して、特開平6-151874号公報はフローティングゲートの上部に燐をイオン注入法によりドーパし、その表面を酸化して絶縁膜を形成する技術を開示している。図3はこの従来例の断面構造を示している。図3において、シリコン基板21にソース22及びドレイン23が拡散形成され、ソース22とドレイン23との間のシリコン基板21表面を被うようにゲート酸化膜24が形成されている。更に、該ゲート酸化膜24上(なお、この場合、「上」は図3を含む各図における上方向を示す。以下同様である。)に多結晶シリコンからなるフローティングゲート26、シリコン酸化膜27及びコントロールゲート28が順次積層形成されている。しかし、一般的には、フローティングゲート26及びコントロールゲート28は、LP-CVD (Low Pressure CVD) 法により形成された多結晶シリコン層にその抵抗を下げるために熱拡散により燐をほぼその固溶限まで拡散したものである。シリコン酸化膜27は、フローティングゲート26の上面部を酸化することにより形成されている。

【0003】

【発明が解決しようとする課題】しかしながら、上述の従来例では、フローティングゲート26に固溶限まで不純物が拡散されているので、フローティングゲート26の上面26aには微小な凹凸や不純物の析出物が存在し、フローティングゲート26の上面26a側部分を酸化して得られた酸化膜27は、局部的に高濃度の不純物を含んでおり、その上面27a及び下面(前記上面26aに相当する。)が平坦ではないので、良質の絶縁膜ではなかった。このため、本来完全に絶縁されていなければならないコントロールゲート28とフローティングゲート26間でリークが発生したり、酸化膜27の耐圧が低くなることにより酸化膜27がコントロールゲート28に印加される電圧により破壊され、不揮発性メモリの重要特性であるデータの保持機能が劣化するなどして、ゲート構造の信頼性が低下するという欠点があった。したがって、本願発明の目的は、上述の従来例の欠点をなくし、コントロールゲートとフローティングゲートとを絶縁する絶縁膜の絶縁性能を高めることができる半導体装置及びその製造方法を提供することである。

【0004】

【課題を解決するための手段】上記課題を解決するため、本願の第1の発明の構成は、フローティングゲート、絶縁膜及びコントロールゲートを順次積層した構造を有する半導体装置の製造方法において、不純物がドーパされた多結晶シリコン層からなる前記フローティングゲート用第1層を形成する工程と、不純物を実質的にドーパしていない多結晶シリコン層からなる前記フローティングゲート用第2層を前記第1層上に形成する工程と、前記第2層の上面を酸化して前記絶縁膜を形成する工程とを含む半導体装置の製造方法である。

【0005】上記第1の発明の構成により、不純物を実質的にドーパしていない多結晶シリコン層からなるフローティングゲート用第2層の上面側部分を酸化して酸化膜を形成している。このため、該酸化膜中に不純物が存在せず、該酸化膜の絶縁性能は高くなる。この結果、該酸化膜を絶縁性の優れた絶縁膜とすることができる。

【0006】更に、第2の発明の構成は、上記第1の発明の構成において、前記フローティングゲート用第1層の形成と前記フローティングゲート用第2層の形成とを連続して行うことである。

【0007】上記第2の発明の構成により、前記フローティングゲート用第1層と第2層の形成を連続して行うので、前記第1層と第2層との間に不要な酸化層等が形成されることを防ぐことができる。このため、良質なフローティングゲートを形成することができる。

【0008】更に、第3の発明の構成は、フローティングゲート、絶縁膜及びコントロールゲートを順次積層した構造を有する半導体装置において、前記フローティングゲートが、不純物をドーパした多結晶シリコン層から

なる第1層と、該第1層上に形成された、不純物を実質的にドーピングしていない第2層とを具備していることである。

【0009】上記第3の発明の構成により、フローティングゲート、絶縁膜及びコントロールゲートを順次積層した構造を有する半導体装置において、前記フローティングゲートが、不純物をドーピングした多結晶シリコン層からなる第1層と、該第1層上に形成された、不純物を実質的にドーピングしていない第2層とを具備しているので、前記第2層を酸化して得られた酸化膜をフローティングゲートとコントロールゲート間を絶縁する絶縁膜とすることができ、該酸化膜に不純物が含まれないので、該酸化膜を良質な絶縁膜とすることができる。

【0010】

【発明の実施の形態】次に、本願発明の実施の形態を図面を参照して説明する。図1は本願発明の実施の形態に係わるEEPROM（又はEPROM）の断面構造を示し、図2は図1の一部分を拡大して示している。なお、便宜的に図2の前記拡大の倍率は、図示上下方向において図示左右方向よりも大きくになっている。図1及び図2において、一導電形のシリコン基板1の図示上面1aから反対導電形のソース2及びドレイン3が拡散形成されている。ゲート酸化膜4は前記表面1a上に形成されている。該ゲート酸化膜4上にフローティングゲート用多結晶シリコンの第1層6aがLP-CVD法により形成されている。なお、このLP-CVDにて、反応ガスとしてシラン（ SiH_4 ）に加えてフォスフィン（ PH_3 ）が使用され、不純物として燐（P）がドーピングされる。なお、第1層6aの上面6cには、上記従来例の面26a、27aの凹凸より著しく小さな凹凸が形成されている。

【0011】次に、前記第1層6a上にフローティングゲート用多結晶シリコンの第2層6bがLP-CVD法により形成されている。このときは、上記第1層6a形成のときと異なり、反応ガスとしてシラン（ SiH_4 ）のみが使用され、第2層6bは実質的に不純物を含まない多結晶シリコン（不純物をドーピングしていない多結晶シリコン）となる。このため、第2層6bの表面には燐の析出が見られず、第2層6bの表面は、凹凸が少なく平滑である。また、第1層6aと第2層6bとは連続して形成（成膜）されるため、第1層6aと第2層6bとの界面には不要なシリコン酸化膜等の異物が存在しない。次に、第2層6bの上面側部分を酸化して酸化多結晶シリコン膜7を形成して絶縁膜とする。第2層6bの上面が平滑なため、酸化多結晶シリコン膜7自体も平滑となり、また不純物を殆ど含んでいない。このため、この酸化多結晶シリコン膜7はリークが少なく、耐圧が高く、良質の絶縁膜となっている。

【0012】次に、コントロールゲート8となる多結晶シリコン膜がLP-CVD法により酸化多結晶シリコン

膜7上に形成される。このコントロールゲート8は、燐をドーピングした多結晶シリコンでもよいし、不純物をドーピングしていない多結晶シリコンを形成後に該不純物をドーピングしていない多結晶シリコンに熱拡散により燐を拡散したものでもよい。

【0013】このようにして形成されたゲート酸化膜4、第1層6a、第2層6b、酸化多結晶シリコン膜7及びコントロールゲート8を図示のように所望の形状及び大きさにフォトリソグラフィにより加工して、フローティングゲート6a、6b、酸化多結晶シリコン膜7及びコントロールゲート8からなるゲート構造を完成する。なお、第1層6aと第2層6bの多結晶シリコン形成時には、第1層6aは不純物としての燐をドーピングした多結晶シリコンであり、第2層6bは不純物をドーピングしていない多結晶シリコンであり、両者は分かれているが、それぞれの膜厚と燐をドーピングした多結晶シリコン中の燐濃度を適当に選べば、酸化多結晶シリコン膜7形成工程以降の熱工程中に、前記燐をドーピングした多結晶シリコン中の燐が不純物をドーピングしていない多結晶シリコン中に拡散していき、フローティングゲート6a、6b全体として充分低抵抗のものが得られる。

【0014】なお、ソース電極配線用アルミニウム配線層11aがソース2に接続されるように配設され、ドレイン電極配線用アルミニウム配線層11bがドレイン3に接続されるように配設されている。フィールド酸化膜5a、5bが素子間分離のために形成され、シリコン基板1と同じ導電型でかつシリコン基板1より不純物濃度が高いチャンネルストッパー10a、10bがフィールド酸化膜5a、5bに隣接して形成されている。層間絶縁膜9a、9b、9cがアルミニウム配線層11a、11b及び前記ゲート構造との間の絶縁用に形成されている。また、1bはシリコン基板1のうちチャンネルが形成される部分である。

【0015】以上の構成により、不純物を実質的にドーピングしていない多結晶シリコン層からなるフローティングゲート用第2層6bの上面側部分を酸化して酸化多結晶シリコン膜7を形成しているため、該酸化多結晶シリコン膜7中に不純物が存在せず、該酸化多結晶シリコン膜7の絶縁性能は高くなる。更に、前記フローティングゲート用第1層6aと第2層6bの形成を連続して行うので、前記第1層6aと第2層6bとの間に不要な酸化層等が形成されることを防ぐことができるので、良質なフローティングゲートを形成することができる。更に、フローティングゲート6a、6b、酸化多結晶シリコン膜7及びコントロールゲート8を順次積層したゲート構造の半導体装置において、前記フローティングゲート6a、6bが、不純物をドーピングした多結晶シリコン層からなる第1層6aと、該第1層6a上に形成された、不純物を実質的にドーピングしていない第2層6bとを具備しているため、前記第2層6bの上面側部分を酸化して得ら

5

れた酸化多結晶シリコン膜7をフローティングゲート6a、6bとコントロールゲート8間を絶縁する絶縁膜とすることができ、該酸化多結晶シリコン膜7に不純物が含まれないので、該酸化多結晶シリコン膜7を良質な絶縁膜とすることができる。

【0016】なお、上記実施の形態は、EEPROM又はEPROMに関するものであるが、これに限定されず、EEPROM又はEPROMと同様のゲート構造を有する半導体装置であればよい。

【0017】

【発明の効果】本願の第1の発明に係わる半導体装置の製造方法によれば、フローティングゲート、絶縁膜及びコントロールゲートを順次積層したゲート構造を有する半導体装置において、前記絶縁膜の絶縁性能を高めることができ、その結果、該半導体装置の信頼性を高めることができる。更に、第2の発明に係わる半導体装置によれば、上記第1の発明の効果とともに、前記フローティングゲート中に不要な酸化膜等が形成されないので、前記フローティングゲートを良質なものにすることができる。更に、第3の発明によれば、前記フローティングゲートが、不純物をドーパした多結晶シリコンの第1層

6

と、該第1層の上に形成された、不純物を実質的にドーパしていない多結晶シリコンの第2層とを具備しているので、前記第2層の上面側部分を酸化して得られた酸化膜をフローティングゲートとコントロールゲート間を絶縁する絶縁膜とすることができ、該酸化膜に不純物が含まれないので、該酸化膜を良質な絶縁膜とすることができる。このため、前記半導体装置の信頼性を向上することができる。

【図面の簡単な説明】

10 【図1】本願発明の実施の形態の断面図である。

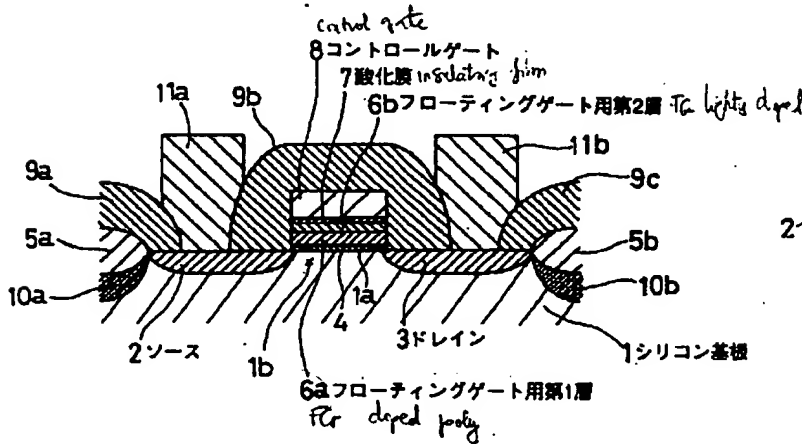
【図2】前記実施の形態の説明用断面図である。

【図3】従来例の断面図である。

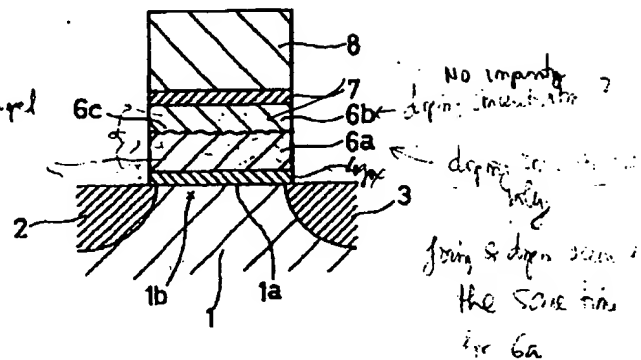
【符号の説明】

- 1 シリコン基板
- 2 ソース
- 3 ドレイン
- 6a フローティングゲート用第1層
- 6b フローティングゲート用第2層
- 7 酸化多結晶シリコン膜
- 8 コントロールゲート

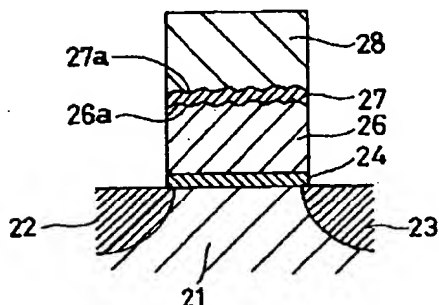
【図1】



【図2】



【図3】



CLIPPEDIMAGE= JP410135358A

PAT-NO: JP410135358A

DOCUMENT-IDENTIFIER: JP 10135358 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

PUBN-DATE: May 22, 1998

INVENTOR-INFORMATION:

NAME

KATAMI, KAZUHIKO

ASSIGNEE-INFORMATION:

NAME

TOYOTA MOTOR CORP

COUNTRY

N/A

APPL-NO: JPO8290341

APPL-DATE: October 31, 1996

INT-CL (IPC): H01L021/8247; H01L029/788 ; H01L029/792 ;
H01L027/115

ABSTRACT:

PROBLEM TO BE SOLVED: To improve insulation of an insulating film in a semiconductor device with a gate structure in which a floating gate, an insulating film and a control gate are laminated in order.

SOLUTION: In a manufacturing method of a semiconductor with a structure, in which floating gates 6a, 6b, an insulating film 7 and a control gate 8 are laminated in order, the first layer 6a for a floating gate consisting of a polycrystalline silicon layer doped with impurities is formed, a second layer 6b for the floating gate consisting of the polycrystalline silicon layer being not substantially doped with impurities is formed on the first layer 6a, followed by oxidation of the upperside part of the second layer 6b so as to form an insulating film 7. Further, the formation of the first layer 6a for the floating gate and the second layer 6b for the floating gate are continuously performed.

COPYRIGHT: (C)1998,JPO